

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 5 8 1 9 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 8 1 9 0]

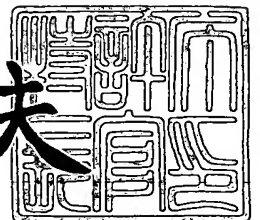
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 1 0 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 5 5 6 8

【書類名】 特許願

【整理番号】 KA003881

【提出日】 平成14年12月10日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 19/165

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 杉村 直昭

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧検出回路

【特許請求の範囲】

【請求項 1】 バンドギャップ電圧及び該バンドギャップ電圧に対応したバイアス電流を発生するバンドギャップ発生部と、

前記バンドギャップ電圧と前記バイアス電流に対応したバイアス電圧が与えられて該バンドギャップ電圧を増幅する差動増幅器及び該差動増幅器のオフセット電圧誤差をなくすための補償手段を有し、該差動増幅器の出力電圧で導通状態が制御されるトランジスタに接続された抵抗に生ずる電圧をこの差動増幅器に帰還することによって該抵抗に基準電圧を発生させる基準電圧発生部と、

前記バンドギャップ電圧発生部が所定のバンドギャップ電圧を発生させる動作状態にあるか否かを監視する動作監視部と、

前記バンドギャップ発生部が正常な動作状態のときは検出対象の電圧と前記基準電圧を比較してその比較結果の検出信号を出力し、該バンドギャップ発生部が正常でないときには異常である旨の検出信号を出力する電圧比較部とを、

備えたことを特徴とする電圧検出回路。

【請求項 2】 前記電圧比較部における検出対象の電圧は、基板電圧、電源電圧、または内部で生成した内部電圧であることを特徴とする請求項 1 記載の電圧検出回路。

【請求項 3】 前記基準電圧発生部は、

前記バイアス電流に対応するバイアス電圧を生成する電流電圧変換手段と、

前記バンドギャップ電圧が正入力端子に、帰還電圧が負入力端子にそれぞれ与えられ、前記バイアス電圧で制御される第 1 のバイアス電流制御トランジスタ及びオフセット補償電圧で制御される第 2 のバイアス電流制御トランジスタを有する差動増幅器と、

負荷トランジスタ並びに第 1 及び第 2 の抵抗が電源電圧と接地電圧との間に直列に接続され、該負荷トランジスタの導通状態が前記差動増幅器の出力電圧で制御されて該負荷トランジスタ及び該第 1 の抵抗の接続点から前記帰還電圧が出力されると共に、該第 1 及び第 2 の抵抗の接続点から前記基準電圧が出力される負

荷手段と、

前記電源電圧と接地電圧との間に直列に接続された第 1 及び第 2 のオフセット補償トランジスタで構成され、該第 1 のオフセット補償トランジスタが前記差動増幅器の出力電圧で制御されて該第 1 及び第 2 のオフセット補償トランジスタの接続点から前記オフセット補償電圧が出力されるオフセット制御手段と、

前記第 1 及び第 2 のオフセット補償トランジスタの接続点と接地電圧との間に接続され、前記バイアス電圧が与えられて前記バイアス電流に応じた電流を流す第 1 のバイアス用トランジスタと、

前記第 1 及び第 2 の抵抗に並列に接続され、前記バイアス電圧が与えられて前記バイアス電流に応じた電流を流す第 2 のバイアス用トランジスタとを、

備えたことを特徴とする請求項 1 または 2 記載の電圧検出回路。

【請求項 4】 前記バンドギャップ発生部は、バンドギャップ電流を生成するバンドギャップ電流レベル設定機構と、該バンドギャップ電流レベル設定機構の出力信号を反転増幅して該バンドギャップ電流レベル設定機構に帰還する帰還手段とを有することを特徴とする請求項 1、2 または 3 記載の電圧検出回路。

【請求項 5】 バンドギャップ電流を生成するバンドギャップ電流レベル設定機構及び該バンドギャップ電流レベル設定機構の出力信号を反転増幅して該バンドギャップ電流レベル設定機構に帰還する帰還手段によってバンドギャップ電圧を発生すると共に、該バンドギャップ電圧に対応したバイアス電流を発生するバンドギャップ発生部と、

前記バンドギャップ電圧発生部が所定のバンドギャップ電圧を発生させる動作状態にあるか否かを監視する動作監視部と、

前記バンドギャップ発生部が正常な動作状態のときは検出対象の電圧と前記バンドギャップ電圧を比較してその比較結果の検出信号を出力し、該バンドギャップ発生部が正常でないときには異常である旨の検出信号を出力する電圧比較部とを、

備えたことを特徴とする電圧検出回路。

【請求項 6】 前記電圧比較部における検出対象の電圧は、基板電圧、電源電圧、または内部で生成した内部電圧であることを特徴とする請求項 5 記載の電

圧検出回路。

【請求項 7】 バンドギャップ電流を生成するバンドギャップ電流レベル設定機構及び該バンドギャップ電流レベル設定機構の出力信号を反転増幅して該バンドギャップ電流レベル設定機構に帰還する帰還手段によってバンドギャップ電圧を発生するバンドギャップ発生部と、

電源電圧を抵抗によって分圧して第 1 の比較電圧及び該第 1 の比較電圧よりも低い第 2 の比較電圧を発生する電圧発生部と、

前記バンドギャップ電圧と前記第 1 の比較電圧とを比較して前記電源電圧が前記バンドギャップ発生部を正常に動作させるレベルにあるか否かの監視信号を出力する第 1 の比較器と、

前記監視信号によって前記バンドギャップ発生部が正常な動作状態のときには前記バンドギャップ電圧を選択し、該バンドギャップ発生部が正常でないときには前記第 1 の比較電圧を選択して出力するスイッチと、

前記スイッチから出力される電圧と前記バンドギャップ電圧とを比較してその比較結果の検出信号を出力する第 2 の比較器と、

前記バンドギャップ発生部が正常な動作状態でないときに、前記監視信号によって第 2 の比較器の動作を停止させて前記検出信号に異常である旨を出力させる停止手段とを、

備えたことを特徴とする電圧検出回路。

【請求項 8】 バンドギャップ電流を生成するバンドギャップ電流レベル設定機構及び該バンドギャップ電流レベル設定機構の出力信号を反転増幅して該バンドギャップ電流レベル設定機構に帰還する帰還手段によってバンドギャップ電圧を発生するバンドギャップ発生部と、

電源電圧を抵抗によって分圧して第 1 の比較電圧、該第 1 の比較電圧よりも低い第 2 の比較電圧及び該第 2 の比較電圧よりも低い第 3 の比較電圧を発生する電圧発生部と、

前記バンドギャップ電圧と前記第 1 の比較電圧とを比較して前記電源電圧が前記バンドギャップ発生部を正常に動作させるレベルにあるか否かの監視信号を出力する第 1 の比較器と、

前記監視信号によって前記バンドギャップ発生部が正常な動作状態のときには前記バンドギャップ電圧を選択し、該バンドギャップ発生部が正常でないときには前記第1の比較電圧を選択して検出対象電圧を出力するスイッチと、

前記検出対象電圧と前記第2の比較電圧とを比較し、該第2の比較電圧の方が高い場合にリセット信号を出力する第2の比較器と、

前記検出対象電圧と前記第3の比較電圧とを比較し、該検出対象電圧の方が高い場合にセット信号を出力する第3の比較器と、

前記監視信号によって前記バンドギャップ発生部が正常な動作状態でないときに前記第2及び第3の比較器の動作を停止させる停止手段と、

前記リセット信号によってリセットされ、前記セット信号によってセットされてその状態を検出信号として保持して出力するフリップフロップとを、

備えたことを特徴とする電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路において電源電圧や昇圧した電圧等のレベルを検出する電圧検出回路に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開平11-311643号公報

【0004】

上記特許文献1には、その図4及び図5に、バンドギャップ電圧を用いて温度変動がほとんど無い定電流を発生させるバンドギャップ電流レベル設定機構と、この定電流を抵抗に流すことによって得られた基準電圧を増幅する差動増幅器と、この差動増幅器の出力電圧と検出対象の電圧とを比較する電圧レベル比較器で構成される電圧検出回路が記載されている。これにより、温度変動のない高度に安定した電圧検出が可能になるとされている。

【0005】

【発明が解決しようとする課題】

しかしながら、従来の電圧検出回路では、次のような課題があった。

【0006】

温度変動がほとんど無いバンドギャップ電圧を発生させるためには、バンドギャップ電流レベル設定機構に所定の定電流が流れるように、一定レベル以上の電源電圧を印加する必要がある。もしも、電源電圧が一定レベル以下であると、温度変動の無い定電流を流すことができず、所定の基準電圧を得ることができない。また、基準電圧を増幅する差動増幅器の動作バイアス電流は、一般的に温度特性を有している。このため、差動増幅器の出力電圧は温度特性を有することになってしまう。更に、電圧レベル比較器に差動増幅器を用いているため、比較する差動増幅器の出力電圧と検出対象の電圧は、所定のレベル以上でなければ正常な動作ができなくなる。

【0007】

このため、温度特性の無い完全な電圧検出ができないだけでなく、電源電圧が低下すると検出動作そのものも不可能になるというおそれがあった。

【0008】

【課題を解決するための手段】

前記課題を解決するために、本発明は、電圧検出回路において、バンドギャップ電圧及び該バンドギャップ電圧に対応したバイアス電流を発生するバンドギャップ発生部と、前記バンドギャップ電圧と前記バイアス電流に対応したバイアス電圧が与えられて該バンドギャップ電圧を増幅する差動増幅器及び該差動増幅器のオフセット電圧誤差をなくすための補償手段を有し、該差動増幅器の出力電圧で導通状態が制御されるトランジスタに接続された抵抗に生ずる電圧をこの差動増幅器に帰還することによって該抵抗に基準電圧を発生させる基準電圧発生部と、前記バンドギャップ電圧発生部が所定のバンドギャップ電圧を発生させる動作状態にあるか否かを監視する動作監視部と、前記バンドギャップ発生部が正常な動作状態のときは検出対象の電圧と前記基準電圧を比較してその比較結果の検出信号を出力し、該バンドギャップ発生部が正常でないときには異常である旨の検

出信号を出力する電圧比較部とを備えている。

【0 0 0 9】

本発明によれば、以上のように電圧検出回路を構成したので、次のような作用が行われる。

【0 0 1 0】

バンドギャップ発生部によって、温度特性がほとんどないバンドギャップ電圧と、このバンドギャップ電圧に対応したバイアス電流が発生され、基準電圧発生部に与えられる。基準電圧発生部では、オフセット電圧誤差を無くするための補償手段を有する差動増幅器によってバンドギャップ電圧が増幅され、基準電圧が発生される。基準電圧は電圧比較部に与えられ、検出対象の電圧と比較される。

【0 0 1 1】

一方、動作監視部では、バンドギャップ電圧発生部が所定のバンドギャップ電圧を発生させる動作状態にあるか否かが監視される。そして、正常な動作状態であれば、電圧比較部から基準電圧と検出対象の電圧の比較結果が検出信号として出力される。もしも正常な動作状態でなければ、この電圧比較部から異常である旨の検出信号が出力される。

【0 0 1 2】

【発明の実施の形態】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態を示す電圧検出回路の構成図である。

【0 0 1 3】

この電圧検出回路は、バイアス電流とバンドギャップ電圧を発生するバンドギャップ発生部 1 0 0 と、基板電圧比較用の基準電圧と基板電圧レベルをシフトさせるためのシフト電流を発生する基準電圧発生部 2 0 0 と、バンドギャップ発生部 1 0 0 の動作状態を監視する動作監視部 3 0 0 と、基準電圧と基板電圧を比較して比較結果を出力する電圧比較部 4 0 0 とで構成されている。

【0 0 1 4】

バンドギャップ発生部 1 0 0 は、PNP トランジスタ（以下、「PNP」という）1 0 1、1 0 2 と、抵抗 1 0 3 と、N チャネル MOS トランジスタ（以下、

「NMOS」という) 104, 105とで構成されるバンドギャップ電流レベル設定機構を有している。

【0015】

PNP102は、同じ閾値電圧レベルにおいてPNP101よりも大きな電流容量を有するように設定されており、これらのPNP101, 102のコレクタは基板電圧VBBに、ベースは接地電圧GNDに接続されている。PNP101のエミッタは、NMOS104のソースに接続され、PNP102のエミッタは、抵抗103を介してNMOS104のソースに接続されている。NMOS104, 105のゲートは、このNMOS104のドレインに接続されている。

【0016】

NMOS104のドレインは、直列に接続されたNMOS106とPチャネルMOSトランジスタ（以下、「PMOS」という）107, 108を介して電源電圧VDDに接続され、NMOS105のドレインは、直列に接続されたNMOS109とPMOS110, 111を介して電源電圧VDDに接続されている。NMOS106, 109のゲートはNMOS106のドレインに、PMOS107, 110のゲートはPMOS110のドレインに、PMOS108, 111のゲートはPMOS111のドレインに、それぞれ接続されている。これにより、同一電流パスのNMOSミラー回路とPMOSミラー回路からなる帰還ループが構成されるようになっている。

【0017】

更に、このバンドギャップ発生部100は、バンドギャップ電流レベル設定機構に対してミラー回路を構成するPNP112、抵抗113、及びPMOS114, 115と、スタートアップ時の電圧印加用のPMOS116を有している。PNP112、抵抗113、及びPMOS114, 115は、基板電圧VBBと電源電圧VDDの間に順次直列に接続され、PNP112のベースは接地電圧GNDに接続されている。PMOS114, 115のゲートは、それぞれPMOS110, 111のゲートに接続されている。

【0018】

そして、PMOS114のドレインがノードN1に接続され、このノードN1

から温度変動がほとんど無いバンドギャップ電圧 V_{BG} が出力されるようになっている。また、PMOS 115 のゲート電圧は、このバンドギャップ電圧 V_{BG} に対応するバイアス電流の基準となるバイアス信号 BAS として、基準電圧発生部 200 へ与えられるようになっている。PMOS 116 のソースは電源電圧 V_{DD} に、ドレインは NMOS 106 のドレインにそれぞれ接続され、ゲートにはスタートアップ信号 ST が与えられるようになっている。

【0019】

基準電圧発生部 200 は、バンドギャップ発生部 100 の PMOS 115 に対してミラー回路を構成する PMOS 201 及び NMOS 202 と、このバンドギャップ発生部 100 の出力電圧を増幅するための差動増幅器を構成する NMOS 203, 204, 205、及び PMOS 206, 207 を有している。

【0020】

PMOS 201 のゲートにはバイアス信号 BAS が与えられ、ソースは電源電圧 V_{DD} に、ドレインは NMOS 202 のドレイン及びゲートと差動増幅器の定電流源である NMOS 205 のゲートに、それぞれ接続されている。NMOS 202 のソースは、接地電圧 GND に接続されている。差動増幅器の+入力端子である NMOS 203 のゲートはノード $N1$ に、出力端子である NMOS 203 のドレインは PMOS 208 のゲートに、それぞれ接続されている。PMOS 208 のソースは電源電圧 V_{DD} に接続され、ドレインはノード $N2$ に接続され、このノード $N2$ の電圧が帰還電圧として差動増幅器の-入力端子、即ち NMOS 204 のゲートに与えられるようになっている。更にノード $N2$ は、直列接続された抵抗 209, 210 を介して接地電圧 GND に接続され、この抵抗 209, 210 の接続点から基板電圧比較用の基準電圧 V_{RF} が出力されるようになっている。

【0021】

また、この基準電圧発生部 200 は、差動増幅器のバイアス電流のずれによって生じるオフセット電圧を打ち消すための PMOS 211 及び NMOS 212, 213, 214, 215 を有している。PMOS 211 のソースは電源電圧 V_{DD} に、ゲートは差動増幅器の出力端子である NMOS 203 のドレインにそれぞ

れ接続され、ドレインはNMOS 212, 213を介して接地電圧GNDに接続されている。そして、PMOS 211のドレインからオフセット補償電圧VNBが出力されるようになっている。NMOS 214のドレインはノードN2に、ソースは接地電圧GNDに接続されている。NMOS 213, 214のゲートはNMOS 202のゲートに接続されてミラー回路が構成されている。NMOS 215のドレインはNMOS 205のドレインに、ソースは接地電圧GNDに接続され、ゲートにはNMOS 212のゲートと共にオフセット補償電圧VNBが与えられるようになっている。

【0022】

更に、この基準電圧発生部200は、比較対象となる比較基板電圧VPBを出力するためのNMOS 216とPMOS 217を有している。NMOS 216のソースは接地電圧GNDに接続され、ゲートにはオフセット補償電圧VNBが与えられている。NMOS 216のドレインは、PMOS 217のドレインとゲートに接続され、このPMOS 217のソースが電源電圧位VDDに接続されている。そして、PMOS 217のドレインから比較基板電圧VPBが出力されるようになっている。

【0023】

動作監視部300は、バンドギャップ発生部100におけるPMOS 110のソースの電圧BP1とドレインの電圧BP2に基づいて比較電圧VNRを発生する電圧発生器310と、NMOS 106のソースの電圧BN1とドレインの電圧BN2に基づいて比較電圧VPRを発生する電圧発生器320を有している。更に、動作監視部300は、比較電圧VNRとNMOS 105のドレインの電圧VN1を比較する比較器330、比較電圧VPRとPMOS 108のドレインの電圧VP1を比較する比較器340、これらの比較器330, 340に比較用のバイアス電圧CPBを与えるバイアス発生器350、及び比較器330, 340の比較結果の論理積を監視信号MONとして出力する論理積ゲート（以下、「AND」という）360を有している。

【0024】

電圧比較部400は、最も低い供給電圧よりも更に低い基板電圧VBBと基準

電圧 V_{RF} とを比較して、その比較結果の検出信号 OUT を出力するものである。この電圧比較部 400 は、基準電圧発生部 200 から出力される比較基板電圧 V_{PB} のレベルをシフトするための PMOS 401 及び抵抗 402 と、シフトされた電圧を基準電圧発生部 200 から出力される基準電圧 V_{RF} と比較するための NMOS 403, 404, 405 及び PMOS 406, 407 で構成される差動増幅器を有している。PMOS 401 のソースは電源電圧 V_{DD} に接続され、ゲートには基準電圧発生部 200 から比較基板電圧 V_{PB} が与えられるようになっている。

【0025】

PMOS 401 のドレインはノード N_4 に接続され、このノード N_4 が、抵抗 402 を介して基板電圧 V_{BB} に接続されると共に、差動増幅器の + 入力端子である NMOS 403 のゲートに接続されている。差動増幅器の - 入力端子である NMOS 404 のゲートには基準電圧 V_{RF} が与えられ、定電流源の NMOS 405 のゲートには、オフセット補償電圧 V_{NB} がバイアス電圧として与えられている。

【0026】

更に、この電圧比較部 400 は、動作監視部 300 からの監視信号 MON に従って、比較結果の検出信号 OUT を強制的に停止させるための PMOS 408 を有している。PMOS 408 は差動増幅器の出力端子である NMOS 403 のドレインと電源電圧 V_{DD} の間に接続され、この PMOS 408 のドレインに監視信号 MON が与えられるようになっている。NMOS 403 のドレインにはインバータ 409 が接続され、このインバータ 409 から比較検出結果の検出信号 OUT が出力されるようになっている。

【0027】

図 2 は、図 1 中の動作監視部 300 の一例を示す回路図である。

【0028】

電圧発生器 310 は、電源電圧 V_{DD} と基板電圧 V_{BB} の間に、PMOS 311, 312、抵抗 313、NMOS 314, 315、抵抗 316、及び PNP 317 を順次直列に接続したもので、この PMOS 311, 312 のゲートに、そ

れぞれ電圧BP1, BP2が与えられるようになっている。また、NMOS314のゲートはPMOS312のドレインに、NMOS315のゲートはNMOS314のドレインに、PNP317のベースは接地電圧GNDに、それぞれ接続されている。そして、NMOS314のドレインから比較電圧VNRが出力されるようになっている。

【0029】

電圧発生器320は、電源電圧VDDと基板電圧VBBの間に、PMOS321, 322、抵抗323、NMOS324, 325、及びPNP326を順次直列に接続したもので、このNMOS324, 325のゲートに、それぞれ電圧BN2, BN1が与えられるようになっている。また、PMOS321のゲートはPMOS322のドレインに、PMOS322のゲートはNMOS324のドレインに、PNP326のベースは接地電圧GNDに、それぞれ接続されている。そして、PMOS321のドレインから比較電圧VPRが出力されるようになっている。

【0030】

比較器330は、差動増幅器を構成するNMOS331, 332, 333及びPMOS334, 335と、出力段のNMOS336及びPMOS337とで構成されている。そして、NMOS331, 332のゲートに、それぞれ比較電圧VNR及び電圧VN1が与えられ、NMOS336のドレインから比較結果の信号が出力されるようになっている。比較器340も同様に、差動増幅器を構成するNMOS341, 342, 343及びPMOS344, 345と、出力段のNMOS346及びPMOS347とで構成されている。そして、NMOS341, 342のゲートに、それぞれ電圧VP1及び比較電圧VPRが与えられ、NMOS346のドレインから比較結果の信号が出力されるようになっている。

【0031】

バイアス発生器350は、電源電圧VDDと接地電圧GNDの間に直列に接続された抵抗351とNMOS352で構成され、このNMOS352のドレインとゲートが接続されて、この接続点から比較器330, 340に対するバイアス電圧CPBが出力されるようになっている。

【0032】

次に、図1の動作を説明する。

【0033】

電源電圧VDDが投入された後に、スタートアップ信号STがレベル“L”から“H”にされると、バンドギャップ発生部100の動作が開始する。

【0034】

バンドギャップ発生部100が動作するための電源電圧VDDの条件は、次の2つの式を同時に満たすことである。

$$VDD > V_{be101} + V_{th104} + V_{th106} + V_{dssat107} + V_{dssat108} \quad \cdots (1)$$

$$VDD > V_{be102} + I_1 \times R_{103} + V_{dssat105} + V_{dssat109} \\ + V_{th110} + V_{th111} \quad \cdots (2)$$

【0035】

ここで、例えば、 V_{be101} はPNP101のベース・エミッタ間電圧、 V_{th104} はNMOS104の閾値電圧、 $V_{dssat107}$ はPMOS107の飽和領域におけるドレイン・ソース間電圧、 R_{103} は抵抗103の抵抗値を示す。また、後出の例えば V_{ds108} は、PMOS108のドレイン・ソース間電圧を示している。

【0036】

また、電流 I_1 は、PNP101、102を含む各直列回路に流れる電流で、その値は、 $\{K \times (T/q) \times L_N (PNP102 \text{ のエミッタ面積} / PNP101 \text{ のエミッタ面積})\} / R_{103}$ で近似される。

【0037】

電源電圧VDDが(1)、(2)式の条件を満たす場合は、PMOS108とNMOS105は飽和領域で動作するので、電圧 V_{P1} 、 V_{N1} は、次のようになる。

$$V_{P1} \leq VDD - V_{dssat108} \quad \cdots (3)$$

$$V_{N1} \geq V_{be102} + I_1 \times R_{103} + V_{dssat105} \quad \cdots (4)$$

【0038】

もしも、電源電圧VDDが(1)、(2)式の条件を満たさない場合は、電流 I_1 は微小な電流値に低下する。この場合に、PNP101を含む直列回路に流

れる電流値を I_{1S1} とし、PNP 102 を含む直列回路に流れる電流値を I_{1S2} とすると、PNP 102 は PNP 101 よりも大きな電流容量を有するように設定されているので、次式が成り立つ。

$$I_{1S1} < I_{1S2} (< I_1) \quad \cdots (5)$$

【0039】

NMOS 104, 106 と NMOS 105, 109 で構成されるミラー回路と、PMOS 110, 111 と PMOS 107, 108 で構成されるミラー回路とによって帰還ループが構成されているため、(5) 式の状態において、次の 2 つの式が成り立つ。

$$\begin{aligned} V_{P1} &= V_{DD} - V_{ds108} (I_{1S1}) \\ &\geq V_{DD} - V_{dssat108} \quad \cdots (6) \end{aligned}$$

$$\begin{aligned} V_{N1} &= V_{bc102}(I_{1S2}) + I_{1S2} \times R_{103} + V_{ds105}(I_{1S2}) \\ &\leq V_{be102} + I_1 \times R_{103} + V_{dsat105} \quad \cdots (7) \end{aligned}$$

【0040】

一方、電源電圧 V_{DD} が (1), (2) 式の条件を満たす場合、電圧発生器 310 の PMOS 311, 312 と、バンドギャップ発生部 100 の PMOS 111, 110 はミラー回路構成となる。従って、PNP 101 と電圧発生器 320 の PNP 326 のエミッタ面積が等しければ、この電圧発生器 320 における NMOS 325, 324 は NMOS 104, 106 とミラー回路構成となる。これにより、電圧発生器 310 の PMOS 311 ~ PNP 317 に流れる電流と、電圧発生器 320 の PMOS 321 ~ PNP 326 に流れる電流は、電流 I_1 と等しくなる。この場合、電圧発生器 310 から出力される比較電圧 V_{NR} は次のようになる。

$$\begin{aligned} V_{NR} &= V_{be317} + I_1 \times R_{316} + V_{gs315} + I_1 \times R_{313} - V_{gs314} \\ &\quad \cdots (8) \end{aligned}$$

【0041】

ここで、回路設計定数を次の次のように定める。

PNP 102 のエミッタ面積 = PNP 317 のエミッタ面積

$R_{103} = R_{316}$

$$I_1 \times R_{313} = V_{dssat315} (= V_{dssat105}) \quad \cdots (9)$$

【0 0 4 2】

これにより、(8) 式は次のようになる。

$$V_{NR} = V_{be102} + I_1 \times R_{103} + V_{dssat105} \quad \cdots (10)$$

【0 0 4 3】

従って、電圧 V_{N1} と比較電圧 V_{NR} の関係は、(4), (10) 式から、次のようになる。

$$V_{N1} \geq V_{NR}$$

【0 0 4 4】

一方、電圧発生器 3 2 0 から出力される比較電圧 V_{PR} は、次のようになる。

$$V_{PR} = V_{DD} - V_{gs321} - I_1 \times R_{323} + V_{gs322} \quad \cdots (11)$$

【0 0 4 5】

ここで、回路設計定数を次のように定める。

$$I_1 \times R_{323} = V_{dssat321} (= V_{dssat108}) \quad \cdots (12)$$

【0 0 4 6】

これにより、(11) 式は次のようになる。

$$V_{PR} = V_{DD} - V_{dssat108} \quad \cdots (13)$$

【0 0 4 7】

従って、電圧 V_{P1} と比較電圧 V_{PR} の関係は、(6), (13) 式から、次のようになる。

$$V_{P1} \geq V_{PR}$$

【0 0 4 8】

電源電圧 V_{DD} が (1), (2) 式の条件を満たさない場合は、(8), (9) 式から、電圧 V_{NR} は次のようになる。

$$V_{NR} = V_{be102}(I_1 S_2) + I_1 s_2 \times R_{103} + I_1 s_2 \times R_{313} \quad \cdots (14)$$

【0 0 4 9】

ここで、(5), (9) 式の関係と、抵抗 3 1 3 は線形抵抗であることと、N MOS 1 0 5 が非飽和動作のために非線形抵抗とみなせることにより、次の関係が成り立つ。

$$I_{1s2} \times R_{313} > V_{ds105} \quad (I_{1s2}) \quad \cdots (15)$$

【 0 0 5 0 】

従って、電圧 V_{N1} と比較電圧 V_{NR} の関係は、(7) , (14) , (15) 式より、次のようになる。

$$V_{N1} < V_{NR}$$

【 0 0 5 1 】

同様に、比較電圧 V_{PR} は、(11) , (12) 式から、次のようになる。

$$V_{PR} = V_{DD} - I_{1s1} \times R_{323} \quad \cdots (16)$$

【 0 0 5 2 】

ここで、(5) , (12) 式の関係と、抵抗 323 は線形抵抗であることと、 P_{NP108} が非飽和動作のために非線形抵抗とみなせることにより、次の関係が成り立つ。

$$I_{1s1} \times R_{323} > V_{ds108} \quad (I_{1s1}) \quad \cdots (17)$$

【 0 0 5 3 】

従って、電圧 V_{P1} と比較電圧 V_{PR} の関係は、(6) , (16) , (17) 式より、次のようになる。

$$V_{P1} < V_{PR}$$

【 0 0 5 4 】

以上をまとめると、バンドギャップ発生部 100 に正常な電源電圧 V_{DD} が印加されて動作している場合は、電圧 $V_{N1} \geq$ 比較電圧 V_{NR} 、かつ、電圧 $V_{P1} \geq$ 比較電圧 V_{PR} となり、正常な電源電圧 V_{DD} が印加されていない場合は、電圧 $V_{N1} <$ 比較電圧 V_{NR} 、かつ、電圧 $V_{P1} <$ 比較電圧 V_{PR} となる。

【 0 0 5 5 】

動作監視部 300 の比較器 330 の+入力端子には電圧 V_{N1} が入力され、-入力端子には比較電圧 V_{NR} が入力されて両電圧が比較される。また、比較器 340 の-入力端子に電圧 V_{P1} が入力され、+入力端子には比較電圧 V_{PR} が入力されて両電圧が比較される。比較器 330 , 340 の比較結果は、AND 360 によって論理積がとられるので、監視信号 MON は、バンドギャップ発生部 100 が正常な電源電圧 V_{DD} で動作しているときにレベル“H”となり、正常な

電源電圧VDDで動作していないときにはレベル“L”となる。

【0056】

一方、基準電圧発生部200では、NMOS202が、NMOS205、213、214とミラー回路を構成しているので、これらのNMOS202、205、213、214に流れる電流I202、I205、I213、I214の間には、次の関係が成り立つ。

$$\begin{aligned} I_{202}/(W/L)_{202} &= I_{205}/(W/L)_{205} \\ &= I_{213}/(W/L)_{213} \\ &= I_{214}/(W/L)_{214} \quad \cdots (18) \end{aligned}$$

【0057】

但し、例えば(W/L)202は、NMOS202のゲート幅対ゲート長の比の値を示している。

【0058】

PMOS208に流れる電流は、抵抗270に流れる電流とNMOS214に流れる電流の和であるので、次のようになる。

$$I_{208} = V_{RF}/R_{210} (= V_{N2}/(R_{209}+R_{210})) + I_{214} \quad \cdots (19)$$

【0059】

(18) 式から、(19) 式は次のようになる。

$$\begin{aligned} I_{208}/(W/L)_{208} &= (V_{RF}/R_{210})/(W/L)_{208} \\ &\quad + I_{202} \times (W/L)_{214}/((W/L)_{208} \times (W/L)_{202}) \quad \cdots (20) \end{aligned}$$

【0060】

差動増幅器の入力段のNMOS203、204、及び能動負荷のPMOS206、207をそれぞれ同一特性として、NMOS205、213、214とPMOS206(207)、208、211のディメンジョン関係を、次のように設定する。

$$\begin{aligned} 2 \times (W/L)_{205} : (W/L)_{213} : (W/L)_{214} \\ = (W/L)_{206} (= (W/L)_{207}) : (W/L)_{211} : (W/L)_{208} \quad \cdots (21) \end{aligned}$$

【0061】

更に、ミラー回路を構成するNMOS212、215のディメンジョン関係を

、次のように設定する。

$$\begin{aligned} & 2 \times (W/L)_{212} : (W/L)_{215} \\ & = (W/L)_{206} (= (W/L)_{207}) : (W/L)_{211} \quad \cdots (22) \end{aligned}$$

NMOS 211 に流れる電流は、NMOS 212 に流れる電流と NMOS 213 に流れる電流の和であるので、次のようになる。

$$I_{212} = I_{211} - I_{213} \quad \cdots (23)$$

【0062】

従って、NMOS 212 の電流 I_{212} は、(18), (20), (21), (23) 式から次のように表される。

$$I_{212} = (V_{RF} / R_{210}) \times (W/L)_{211} / (W/L)_{208} \quad \cdots (24)$$

【0063】

即ち、電流 I_{212} は、基準電圧 V_{RF} と、抵抗 210 と、PMOS 208, 211 のディメンジョン比とで決定される値となる。

【0064】

NMOS 212, 215 は、ミラー回路を構成しているので、電流 I_{212} は、次のように表される。

$$I_{215} = (V_{RF} / R_{210}) \times (W/L)_{211} / (W/L)_{208} \times (W/L)_{215} / (W/L)_{212} \quad \cdots (25)$$

【0065】

更に、(18), (20) ~ (22), (24), (25) 式の関係から、次の関係が成り立つ。

$$\begin{aligned} I_{211} / (W/L)_{211} &= (V_{RF} / R_{210}) / (W/L)_{208} \\ &+ I_{202} \times (W/L)_{214} / ((W/L)_{211} \times (W/L)_{202}) \quad \cdots (26) \end{aligned}$$

$$\begin{aligned} I_{214} / (W/L)_{214} &= (V_{RF} / R_{210}) / (W/L)_{208} \\ &+ I_{202} \times (W/L)_{205} / (2 \times (W/L)_{214} \times (W/L)_{202}) \quad \cdots (27) \end{aligned}$$

$$I_{214} / (W/L)_{214} = I_{208} / (W/L)_{208} = I_{211} / (W/L)_{211} \quad \cdots (28)$$

【0066】

ここで、差動増幅器の回路的入力換算オフセット電圧がゼロである条件は、次のとおりである。

$$I_{203} = I_{204}(= I_{206} = I_{207}) = (I_{205} + I_{215})/2 \quad \cdots (29)$$

【0067】

この場合、PMOS 206, 207のゲート電圧及びドレイン電圧が等しくなるので、このPMOS 206 (207)とPMOS 208, 211に流れる電流関係は、次のようになる。

$$\begin{aligned} I_{206}(= I_{207}) &= (I_{205} + I_{215})/2 : I_{208} : I_{211} \\ &= (W/L)_{206} : (W/L)_{208} : (W/L)_{211} \quad \cdots (30) \end{aligned}$$

【0068】

(30) 式は (28) 式と等価になっているので、差動増幅器は回路的入力換算オフセット電圧がゼロの状態で作動する。

【0069】

従って、ノードN2の電圧は、ノードN1から与えられる温度変動がほとんど無いバンドギャップ基準電圧と等しくなり、このノードN2の電圧を抵抗209, 210で分圧した基準電圧V_{RF}も温度変動のほとんど無い電圧となる。

【0070】

しかも、回路的入力換算オフセット電圧がゼロである状態の動作は、(20), (26), (27) 式からも明らかなように、抵抗210の変動やNMOS 202の電流の変動に対しても不動である。

【0071】

NMOS 212, 216は、ミラー回路を構成しているので、(25) 式から次の関係が導かれる。

$$\begin{aligned} I_{216}(= I_{217}) \\ &= (V_{RF}/R_{210}) \times (W/L)_{211}/(W/L)_{208} \times (W/L)_{216}/(W/L)_{212} \\ &= K \times (V_{RF}/R_{210}) \end{aligned}$$

【0072】

これは、NMOS 216に、温度変動の無い安定した一定の電流が流れることを意味している。

【0073】

電圧比較部400において、PMOS 401が基準電圧発生部200のPMO

S217とミラー回路を構成しているので、このPMOS401に流れる電流I401は、PMOS217に流れる電流I217(=I216)、即ち(VRF/R210)に比例する。従って、ノードN4の電圧VN4は、 α を任意設定の設計定数として、次のようになる。

$$VN4 = VBB + I401 \times R402$$

$$= VBB + \alpha \times VRF$$

【0074】

ノードN4の電圧VN4は、差動増幅器の+入力端子に与えられ、この差動増幅器の-入力端子には、温度変動がほとんど無い基準電圧VRFが与えられている。従って、動作監視部300からPMOS408のゲートに与えられる監視信号MONが“H”、即ち、正常な電源電圧VDDで動作しているときには、PMOS408がオフとなり、差動増幅器による正常な比較動作が行われる。そして、比較結果はインバータ409から検出信号OUTとして出力される。

【0075】

一方、監視信号MONが“L”、即ち、正常な電源電圧VDDで動作していないときには、PMOS408がオンとなり、インバータ409から出力される検出信号OUTは強制的に“L”となる。

【0076】

以上のように、この第1の実施形態の電圧検出回路は、次の利点がある。

【0077】

バンドギャップ発生部100が所定のバイアス電流とバンドギャップ電圧を発生させる動作状態にあるか否かを監視する動作監視部300を有している。これにより、正常な動作状態でない場合には、電圧比較部400から出力される検出信号OUTを強制的に停止させ、電圧検出結果が定まらないという不具合を防止することができる。

【0078】

更に、バンドギャップ発生部100から与えられる温度変動のない電圧に基づいて、比較用の定電流を発生させるための差動増幅器による電圧電流変換回路を有する基準電圧発生部200において、この差動増幅器で生じるオフセット電圧

誤差をキャンセルさせる手段として、負荷用のPMOS 206, 207と出力用のPMOS 211, 217の特性比で電圧変換電流を差動増幅器動作バイアス電流に加算すると共に、電圧変換電流を発生させる抵抗209, 210に差動増幅器動作バイアス電流分が流れないようにしている。これにより、抵抗値の変化や差動増幅器のバイアス電流の変動に対して誤差のない基準電圧と定電流を維持することが可能になり、電圧検出レベルの温度依存性をなくすることができる。

【0079】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す電圧比較部の構成図である。この電圧比較部400Aは、図1中の電圧比較部400に代えて設けられるものであり、図1中の要素と共通の要素には共通の符号が付されている。

【0080】

図1中の電圧比較部400は、基板電圧VBBを基準電圧VRFと比較するものであったが、この電圧比較部400Aは、電源電圧VDDと基準電圧VRFとを比較して、その比較結果の検出信号OUTを出力するものである。電圧比較部400Aでは、図1中の電圧比較部400のPMOS 401と抵抗402を削除して、電源電圧VDDとノードN4の間に抵抗410を接続し、このノードN4と接地電圧GNDの間にNMOS 411を接続している。NMOS 411のゲートは、NMOS 405のゲートと接続され、基準電圧発生部200からのバイアス電圧VNBが与えられるようになっている。その他の構成は、図1中の電圧比較部400と同様である。

【0081】

この電圧比較部400Aでは、NMOS 411が基準電圧発生部200のPMOS 216とミラー回路を構成しているので、このNMOS 411に流れる電流I411は、PMOS 216に流れる電流I216、即ち (V_{RF}/R_{210}) に比例する。従って、ノードN4の電圧VN4は、 α を任意設定の設計定数として、次のようになる。

$$\begin{aligned} V_{N4} &= V_{DD} - I_{411} \times R_{410} \\ &= V_{DD} - \alpha \times V_{RF} \end{aligned}$$

【0082】

ノードN4の電圧VN4は、差動増幅器の+入力端子に与えられ、この差動増幅器の-入力端子には、温度変動がほとんど無い基準電圧VRFが与えられている。従って、動作監視部300からPMOS408のゲートに与えられる監視信号MONが“H”、即ち、正常な電源電圧VDDで動作しているときには、PMOS408がオフとなり、差動増幅器による正常な比較動作が行われる。そして、比較結果はインバータ409から検出信号OUTとして出力される。

【0083】

一方、監視信号MONが“L”、即ち、正常な電源電圧VDDで動作していないときには、PMOS408がオンとなり、インバータ409から出力される検出信号OUTは強制的に“L”となる。

【0084】

従って、この第2の実施形態は、電源電圧VDDの検出において、第1の実施形態と同様の利点がある。

【0085】

(第3の実施形態)

図4は、本発明の第3の実施形態を示す電圧比較部の構成図である。この電圧比較部400Bは、図1中の電圧比較部400に代えて設けられるものであり、図1及び図3中の要素と共通の要素には共通の符号が付されている。

【0086】

図1中の電圧比較部400は、基板電圧VBBを基準電圧VRFと比較するものであったが、この電圧比較部400Bは、例えば電源電圧VDDを昇圧して生成された昇圧電圧VPP等の内部電圧を、基準電圧VRFと比較して、その比較結果の検出信号OUTを出力するものである。電圧比較部400Bでは、図1中の電圧比較部400のPMOS401、408と抵抗402を削除し、昇圧電圧VPPとノードN4の間に抵抗410を接続してこのノードN4と接地電圧GNDの間にNMOS411を接続している。NMOS411のゲートは、NMOS405のゲートと接続され、基準電圧発生部200からのバイアス電圧VNBが与えられるようになっている。

【0087】

更に、差動増幅器に出力端子であるNMOS 403のゲートと接地電圧GNDの間にNMOS 412が接続され、このNMOS 412のゲートに、動作監視部300からの監視信号MONがインバータ413で反転されて与えられるようになっている。その他の構成は、図1中の電圧比較部400と同様である。

【0088】

この電圧比較部400Bでは、NMOS 411が基準電圧発生部200のPMOS 216とミラー回路を構成しているので、このNMOS 411に流れる電流I411は、PMOS 216に流れる電流I216、即ち (V_{RF}/R_{210}) に比例する。従って、ノードN4の電圧VN4は、 α を任意設定の設計定数として、次のようになる。

$$\begin{aligned} V_{N4} &= V_{PP} - I_{411} \times R_{410} \\ &= V_{PP} - \alpha \times V_{RF} \end{aligned}$$

【0089】

ノードN4の電圧VN4は、差動増幅器の+入力端子に与えられ、この差動増幅器の-入力端子には、温度変動がほとんど無い基準電圧VRFが与えられている。従って、動作監視部300からPMOS 408のゲートに与えられる監視信号MONが“H”、即ち、正常な電源電圧VDDで動作しているときには、NMOS 412がオフとなり、差動増幅器による正常な比較動作が行われる。そして、比較結果はインバータ409から検出信号OUTとして出力される。

【0090】

一方、監視信号MONが“L”、即ち、正常な電源電圧VDDで動作していないときには、NMOS 412がオンとなり、インバータ409から出力される検出信号OUTは強制的に“H”となる。

【0091】

従って、この第3の実施形態は、昇圧電圧VPP等の内部電圧の検出において、第1の実施形態と同様の利点がある。

【0092】

(第4の実施形態)

図5は、本発明の第4の実施形態を示す電圧検出回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0093】

この電圧検出回路は、図1中のバンドギャップ発生部100と動作監視部300に代えて、それぞれ構成の異なるバンドギャップ発生部100Aと動作監視部300Aを設けている。

【0094】

図1のバンドギャップ発生部100では、バイアス電流発生回路の動作点の安定収束のために、同一電流パスのNMOSミラー回路とPMOSミラー回路からなる帰還ループを用いていたが、このバンドギャップ発生部100Aでは、NMOSの1段増幅帰還ループを用いている。

【0095】

即ち、このバンドギャップ発生部100Aは、図1のバンドギャップ発生部100と同様に、PNP101、102と、抵抗103と、NMOS104、105とで構成されるバンドギャップ電流レベル設定機構を有している。NMOS104、105のゲートはNMOS105のドレインに接続され、これらのNMOS104、105のドレインが、それぞれPMOS117、118を介して電源電圧VDDに接続されている。また、バンドギャップ電流レベル設定機構に対してミラー回路を構成するPNP112、抵抗113、PMOS119を有し、ノードN1であるPMOS119のドレインからバンドギャップ電圧VBGが出力されるようになっている。

【0096】

更に、このバンドギャップ発生部100Aは、PNP120、NMOS121、キャパシタ122及びPMOS123からなる帰還用の増幅回路を有している。PNP120のコレクタとベースは、それぞれ基板電圧VBBと接地電圧GNDに接続され、エミッタはNMOS121のソースに接続されている。NMOS121のゲートはNMOS105のドレインに接続されると共に、キャパシタ122を介して接地電圧GNDに接続されている。NMOS121のドレインは、PMOS123を介して電源電圧VDDに接続されている。そして、NMOS1

21のドレインの電圧が、バンドギャップ電圧V_{BG}に対応するバイアス電流を流すためのバイアス信号BASとして、PMOS117~119, 125のゲートに与えられると共に、基準電圧発生部200へ与えられている。

【0097】

また、このバンドギャップ発生部100Aは、図1のバンドギャップ発生部100と同様に、スタートアップ時の電圧印加用のPMOS116を有しており、このPMOS116のソースが電源電圧V_{DD}に、ドレインがNMOS104のドレインにそれぞれ接続され、ゲートにはスタートアップ信号STが与えられるようになっている。

【0098】

一方、動作監視部300Aは、バンドギャップ発生部100Aの動作状態を監視するもので、電源電圧V_{DD}に対応した比較電圧V_{PR}を発生する電圧発生器360と、比較電圧V_{PR}とバンドギャップ発生部100AのPMOS117のドレインの電圧V_{P4}を比較する比較器340と、この比較器340にバイアス電圧CPBを与えるバイアス発生器350とで構成されている。

【0099】

電圧発生器360は、スタート信号STを反転するインバータ361と、電源電圧V_{DD}と接地電圧GNDの間に直列に接続されたPMOS362と抵抗363, 364で構成され、インバータ361の出力信号がPMOS362のゲートに与えられ、抵抗363, 364の接続点から比較電圧V_{PR}が出力される。比較器340とバイアス発生器350の構成は、図2と同様で、この比較器340の出力側から監視信号MONが出力されるようになっている。その他の構成は、図1と同様である。

【0100】

次に、図5の動作を説明する。

【0101】

電源電圧V_{DD}が投入された後に、スタートアップ信号STがレベル“L”から“H”にされると、バンドギャップ発生部100Aの動作が開始する。

【0102】

バンドギャップ発生部 100A が動作するための電源電圧 V_{DD} の条件は、次の 2 つの式を同時に満たすことである。

$$V_{DD} > V_{be120} + V_{dssat121} + V_{dssat123} \quad \cdots (31)$$

$$V_{DD} > V_{be102} + I_1 \times R_{103} + V_{th105} + V_{dssat118} \quad \cdots (32)$$

【0103】

ここで、 I_1 は PNP 120, 102 を含む各直列回路に流れる電流であり、その値は、 $\{K \times (T/q) \times LN(PNP 102 \text{ のエミッタ面積} / PNP 101 \text{ のエミッタ面積})\} / R_{103}$ で近似される。

【0104】

電源電圧 V_{DD} が (31), (32) 式の条件を満たす場合は、PMOS 117 と NMOS 104 は飽和領域で動作するので、電圧 V_{P4} は次のようになる。

$$V_{P4} = V_{be101} + V_{th104} \leq V_{DD} - V_{dssat117} \quad \cdots (33)$$

【0105】

もしも、電源電圧 V_{DD} が (31), (32) 式の条件を満たさない場合は、電流 I_1 は微小な電流値に低下する。この場合に、PNP 101 を含む直列回路に流れる電流値を I_{1s1} とし、PNP 102 を含む直列回路に流れる電流値を I_{1s2} とすると、PNP 102 は PNP 101 よりも大きな電流容量を有するように設定されているので、次式が成り立つ。

$$I_{1s1} < I_{1s2} (< I_1) \quad \cdots (34)$$

【0106】

NMOS 104 及び PMOS 117 の直列回路と、NMOS 121 及び PMOS 126 の直列回路は、相互に出力側が入力側に接続された帰還ループを構成しているので、(34) 式の状態において、次の式が成り立つ。

$$\begin{aligned} V_{P4} &= V_{DD} - V_{ds117} (I_{1s1}) \\ &\geq V_{DD} - V_{dssat117} \quad \cdots (35) \end{aligned}$$

【0107】

一方、スタートアップ信号 S_T が “H” の場合、電圧発生器 360 から出力される比較電圧 V_{PR} は次のようになる。

$$V_{PR} = (V_{DD} - V_{dssat362}) \times R_{364} / (R_{363} + R_{364}) \quad \cdots (36)$$

【0108】

(31), (32) 式を満たす電源電圧 V_{DD} の最低値を V_{DD1} として、抵抗 363, 364 の値を次の条件となるように設定する。

$$V_{be101} + V_{th104} < (V_{DD1} - V_{dssat362}) \times R_{364} / (R_{363} + R_{364}) \\ < V_{DD1} - V_{dssat117} \cdots (37)$$

【0109】

これにより、バンドギャップ発生部 100A に正常な電源電圧 V_{DD} が印加されて動作している場合は、電圧 $V_{P4} \leq$ 比較電圧 V_{PR} となり、正常な電源電圧 V_{DD} が印加されていない場合は、電圧 $V_{P4} >$ 比較電圧 V_{PR} となる。

【0110】

比較器 340 の一入力端子に電圧 V_{P4} が入力され、+入力端子には比較電圧 V_{PR} が入力されて両電圧が比較される。これにより、監視信号 MON は、バンドギャップ発生部 100A が正常な電源電圧 V_{DD} で動作しているときに “H” となり、正常な電源電圧 V_{DD} で動作していないときには “L” となる。

【0111】

なお、基準電圧発生部 200 と電圧比較部 400 の動作は、第 1 の実施形態で説明したとおりであり、重複を避けるためここでの説明は割愛する。

【0112】

以上のように、この第 4 の実施形態の電圧検出回路は、第 1 の実施形態の利点に加えて、次の利点がある。

【0113】

バンドギャップ発生部 100A において、回路動作点の安定収束のために、NMOS の 1 段増幅帰還ループ回路を使用しているので、電源電圧 V_{DD} の上昇に対する電圧 V_{P4} の変動も負帰還ループとなっている。これにより、所定の電源電圧 V_{DD} が印加されている範囲において、この電源電圧 V_{DD} の変動の影響を受けずに NMOS 104, 105 のドレイン電圧が決定され、電源電圧 V_{DD} の変化による NMOS 104, 105 のドレイン電圧の差がなくなり、NMOS 104, 105 の実効チャネル長変調効果による発生バイアス電流の変動を極力なくすることができる。従って、バンドギャップ発生のためにカスコード接続を用い

ることができないような低い電源電圧 V_{DD} で基板電圧 V_{BB} を検出する場合や、NMOS 及び PMOS の実効チャネル長変調効果が大きな製造プロセスを使用しなければならない場合に有効である。

【0114】

(第5の実施形態)

図6は、本発明の第5の実施形態を示す電圧検出回路の構成図であり、図5中の要素と共通の要素には共通の符号が付されている。

【0115】

この電圧検出回路は、図5中のバンドギャップ発生部100Aとは若干構成の異なるバンドギャップ発生部100Bと、電圧発生部500と、電圧比較部600とで構成されている。

【0116】

バンドギャップ発生部100Bは、図5中のバンドギャップ発生部100Aに、バイアス電圧 V_{PB} を出力するための NMOS 120 と PMOS 121 を追加したものである。NMOS 120 のソースは接地電圧 GND に接続され、ゲートとドレインは PMOS 121 のドレインに接続されている。PMOS 121 のソースは電源電圧 V_{DD} に接続され、ゲートにはバイアス信号 BAS が与えられている。そして、PMOS 121 のドレインから比較基板電圧 V_{PB} が出力されるようになっている。

【0117】

電圧発生部500は、電源電圧 V_{DD} に対応した比較電圧 V_{PR} と、検出の対象となる比較電圧 V_{CP} を発生させるもので、インバータ501、PMOS 502、及び抵抗503、504、505で構成されている。PMOS 502のソースは電源電圧 V_{DD} に接続され、ドレインは直列接続された抵抗503～505を介して接地電圧 GND に接続されている。PMOS 502のゲートには、スタートアップ信号 ST がインバータ501で反転されて与えられている。そして、抵抗503、504の接続点から比較電圧 V_{PR} が出力され、抵抗504、505の接続点から比較電圧 V_{CP} が出力されるようになっている。

【0118】

電圧比較部 600 は、バンドギャップ発生部 100B から出力される電圧 V_{P4} と電圧発生部 500 で発生された比較電圧 V_{PR} を比較して、正常な電源電圧 V_{DD} が印加されているか否かを示す監視信号 MON を出力する比較器 610 と、この監視信号 MON を反転した監視信号 $\neg MON$ を出力するインバータ 620 を有している。

【0119】

更に、この電圧比較部 600 は、バンドギャップ発生部 100B から出力されるバンドギャップ電圧 V_{BG} と電圧発生部 500 で発生された比較電圧 V_{PR} のいずれか一方を、監視信号 MON 、 $\neg MON$ に基づいて選択するためのスイッチ 630、640 を有している。これらのスイッチ 630、640 の出力側は比較器 650 の－入力端子に与えられ、この比較器 650 の＋入力端子に与えられる比較信号 V_{CP} と比較されるようになっている。そして、比較器 650 の出力側から比較結果の検出信号 OUT が出力されるようになっている。

【0120】

図 7 は、図 6 中の比較器 610、650 の一例を示す回路図である。

【0121】

比較器 610 は、差動増幅器を構成する NMOS 611、612、613 及び PMOS 614、615 と、出力段の NMOS 616 及び PMOS 617 と、バイアス電圧生成用の抵抗 618 及び NMOS 619 とで構成されている。そして、NMOS 611、612 のゲートに、それぞれ電圧 V_{P4} 及び比較電圧 V_{PR} が与えられ、NMOS 616 のドレインから監視信号 MON が出力されるようになっている。

【0122】

比較器 650 は、差動増幅器を構成する NMOS 651、652、653 及び PMOS 654、655 と、出力段の NMOS 656 及び PMOS 657 を有している。更に、この比較器 650 は、監視信号 MON が “H” のときに、バンドギャップ発生部 100B から出力される比較基板電圧 V_{PB} をバイアス電圧として入力するスイッチ用の NMOS 658 と、監視信号 $\neg MON$ が “H” のときに、比較結果の検出信号 OUT を “L” に固定するための NMOS 659、660

を有している。そして、NMOS 651のゲートに、スイッチ630, 640の出力側が接続され、NMOS 652のゲートに比較電圧VCPが与えられ、NMOS 656のドレインから検出信号OUTが出力されるようになっている。

【0123】

次に、図6の動作を説明する。

【0124】

バンドギャップ発生部100Bが動作するための電源電圧VDDの条件は、第4の実施形態と同様に、次の2つの式を同時に満たすことである。

$$VDD > V_{be120} + V_{dssat121} + V_{dssat123} \quad \cdots (31)$$

$$VDD > V_{be102} + I_1 \times R_{103} + V_{th105} + V_{dssat118} \quad \cdots (32)$$

【0125】

一方、スタート信号が“H”のとき、電圧発生器360から出力される比較電圧VPRは次のようになる。

$$VPR = (VDD - V_{dssat502}) \times (R_{504} + R_{505}) / (R_{504} + R_{504} + R_{505}) \quad \cdots (41)$$

【0126】

(31), (32) 式を満たす電源電圧VDDの最低値をVDD1として、抵抗503~505の値を次の条件となるように設定する。

$$\begin{aligned} & V_{be101} + V_{th104} \\ & < (VDD1 - V_{dssat502}) \times (R_{504} + R_{505}) / (R_{504} + R_{504} + R_{505}) \\ & < VDD1 - V_{dssat117} \quad \cdots (42) \end{aligned}$$

【0127】

上式より、バンドギャップ発生部100Bに正常な電源電圧VDDが印加されて動作している場合は、電圧VP4 ≤ 比較電圧VPRとなり、正常な電源電圧VDDが印加されていない場合は、電圧VP4 > 比較電圧VPRとなる。従って、比較器610から出力される監視信号MONは、正常な電源電圧VDDが印加されているときに“H”、正常な電源電圧VDDが印加されていないときに“L”となる。

【0128】

これにより、正常な電源電圧VDDが印加されているときには、スイッチ630がオン、スイッチ640がオフとなり、比較器650の入力端子には、バンドギャップ発生部100Bから出力されるバンドギャップ電圧VBGと電圧発生部500から出力される比較電圧VCPが与えられる。

【0129】

このとき、監視信号MON、/MONはそれぞれ“H”，“L”であるので、比較器650内のNMOS658はオン、NMOS659、660はオフとなる。従って、比較基板電圧VPBがNMOS658を介して、NMOS653、656のゲートに与えられ、このNMOS653、656は、バンドギャップ発生部100BのNMOS120とミラー回路構成となり、これらのNMOS653、656に流れる電流I653、I656は、次のようになる。

$$I_{653} = (W/L)_{653} / (W/L)_{120} \times I_{120} = \alpha_{653} \times I_1 \quad \cdots (43)$$

$$I_{656} = (W/L)_{656} / (W/L)_{120} \times I_{120} = \alpha_{656} \times I_1 \quad \cdots (44)$$

【0130】

ここで、 α_{653} 、 α_{656} は回路設計定数であり、NMOS651、652、PMOS654、655と、PMOS657のディメンジョン比に応じて設定できるので、比較器650の入力換算オフセット電圧をゼロに設定することが可能であることはいうまでもない。

【0131】

一方、正常な電源電圧VDDが印加されていないときには、スイッチ630がオフ、スイッチ640がオンとなり、比較器650の－入力端子には、電圧発生器500から出力される比較電圧VPRが、＋入力端子には比較電圧VCPが与えられる。このとき、比較器650内のNMOS658はオフ、NMOS659、660はオンとなり、検出信号OUTは強制的に“L”となる。なお、－入力端子には、＋入力端子よりも高い電圧が印加されるので、入力回路のインピーダンスや寄生容量による電源投入時や断線時の誤出力が防止される。

【0132】

以上のように、この第5の実施形態の電圧検出回路は、次の利点がある。

【0133】

バンドギャップ発生部100Bにおいて、第4の実施形態と同様に、回路動作点の安定収束のために、NMOSの1段増幅帰還ループ回路を使用しているので、所定の電源電圧VDDが印加されている範囲において、電源電圧VDDの変動によるNMOS104, 105のドレイン電圧の差がなくなり、発生バイアス電流の変動を極力なくすることができる。従って、バンドギャップ発生のためにカスコード接続を用いることができないような低い電源電圧VDDで基板電圧VBBを検出する場合や、NMOS及びPMOSの実効チャネル長変調効果が大きな製造プロセスを使用しなければならない場合に有効である。

【0134】

また、電圧比較部600では、所定の電源電圧VDDが印加されていないときに、比較器650から出力する検出信号OUTを強制的に“L”に固定すると共に、この比較器650の入力端子に比較結果の出力信号が“L”となるよう関係を有する電圧を与えるように構成している。これにより、電源電圧VDDが所定の値に達していないときに、電源電圧VDDの検出結果が定まらないという不具合や、電源電圧VDDの投入時や断線時の誤出力を防止することができる。

【0135】

(第6の実施形態)

図8は、本発明の第6の実施形態を示す電圧検出回路の構成図であり、図6中の要素と共通の要素には共通の符号が付されている。

【0136】

この電圧検出回路は、図6中の電圧発生部500と電圧比較部600に代えて、若干構成の異なる電圧発生部500Aと電圧比較部600Aを設けている。

【0137】

電圧発生部500Aは、電源電圧VDDに対応した比較電圧VPRと、検出の対象となる比較電圧VCPに加えて、この比較電圧VCPよりも低い比較電圧V CQを発生させるもので、インバータ501、PMOS502、及び抵抗503～506で構成されている。PMOS502のソースは電源電圧VDDに接続され、ドレインは直列接続された抵抗503～506を介して接地電圧GNDに接続されている。PMOS502のゲートには、スタートアップ信号STがインバ

ータ 501 で反転されて与えられている。そして、抵抗 503, 504 の接続点から比較電圧 V_{PR} が、抵抗 504, 505 の接続点から比較電圧 V_{CP} が、抵抗 505, 506 の接続点から比較電圧 V_{CQ} が、それぞれ出力されるようになっている。

【0138】

電圧比較部 600A は、図 6 と同様に、スイッチ 630, 640 の出力側の信号と比較電圧 V_{CP} とを比較する比較器 650-1に加えて、このスイッチ 630, 640 の出力側の信号と比較電圧 V_{CQ} とを比較する比較器 650-2を有している。更に、これらの比較器 650-1, 650-2の出力側には、NAND 671, 672 とインバータ 673 で構成されるフリップフロップ 670 が接続され、このフリップフロップ 670 の出力側から、検出信号 OUT が出力されるようになっている。その他のバンドギャップ発生部 100B 等の構成は、図 6 と同様である。

【0139】

次に、動作を説明する。

【0140】

この電圧検出回路では、図 6 の電圧検出回路と同様に、比較器 610 から出力される監視信号 MON は、正常な電源電圧 V_{DD} が印加されているときに “H”、正常な電源電圧 V_{DD} が印加されていないときに “L” となる。

【0141】

正常な電源電圧 V_{DD} が印加されている場合、監視信号 MON, \neg MON によって、スイッチ 630 がオン、スイッチ 640 がオフとなる。これにより、比較器 650-1 の - 入力端子には、バンドギャップ発生部 100B から出力されるバンドギャップ電圧 V_{BG} が与えられ、+ 入力端子には電圧発生部 500 から出力される比較電圧 V_{CP} が与えられる。また、比較器 650-2 の + 入力端子にはバンドギャップ電圧 V_{BG} が与えられ、- 入力端子には比較電圧 V_{CQ} が与えられる。そして、これらの比較器 650-1, 650-2 には、バンドギャップ発生部 100B から比較基板電圧 V_{PB} がバイアス電圧として与えられ、比較動作が開始される。

【0 1 4 2】

電源電圧VDDが上昇して、電圧発生部500Aの比較電圧VCPがバンドギャップ電圧VBGよりも高くなると、比較器650-1の出力信号が“L”から“H”に変化し、フリップフロップ670の強制リセット入力解除される。更に電源電圧VDDが上昇して、電圧発生部500Aの比較電圧VCQがバンドギャップ電圧VBGよりも高くなると、比較器650-2の出力信号が“H”から“L”に変化し、フリップフロップ670がセットされて検出信号OUTは“H”となる。

【0 1 4 3】

フリップフロップ670が一旦セットされると、その後、電源電圧VDDが低下して、比較電圧VCQがバンドギャップ電圧VBGよりも低くなって比較器650-2の出力信号が“H”に変化しても、このフリップフロップ670の状態は変化しない。更に電源電圧VDDが低下して、比較電圧VCPがバンドギャップ電圧VBGよりも低くなって比較器650-1の出力信号が“L”に変化すると、フリップフロップ670は再び強制リセットされて検出信号OUTは“L”となる。このように、検出信号OUTは、電源電圧VDDが一旦所定の電圧まで上昇するとセットされ、その後、一定レベルまで低下してもその状態が保持されるというヒステリシスを有している。その他の動作は、第5の実施形態と同様である。

【0 1 4 4】

以上のように、この第6の実施形態の電圧検出回路は、2つの比較器650-1、650-2と、フリップフロップ670を有しているので、電源電圧VDDが一旦所定の電圧まで上昇して検出信号OUTがセットされると、その後に電源電圧VDDが若干低下しても、検出信号OUTはそのまま保持される。これにより、第5の実施形態の利点に加えて、停止機能や待機機能を備えて消費電流が動作状態で著しく変化するシステムにおいて、電源インピーダンスに起因する電源電圧変動によりシステム発振を抑制することができるという利点がある。

【0 1 4 5】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この

変形例としては、例えば、次のようなものがある。

【0 1 4 6】

(a) 図示したバンドギャップ部 1 0 0 や基準電圧発生部 2 0 0 等の各部の回路構成は一例であり、同様の機能を有する回路であれば適用可能である。

【0 1 4 7】

(b) 図 4 の電圧検出回路における電圧比較部 4 0 0 に代えて、図 3 または図 4 のような電圧比較部 4 0 0 A, 4 0 0 B を使用しても良い。これにより、電源電圧 VDD や昇圧電圧 VPP 等の電圧を検出することができる。

【0 1 4 8】

【発明の効果】

以上詳細に説明したように、本発明によれば、基準電圧発生部は、バンドギャップ発生部で発生された温度特性がほとんど無いバンドギャップ電圧を増幅する差動増幅器とこの差動増幅器のオフセット電圧誤差をなくするための補償手段を有している。従って、温度特性がほとんど無い基準電圧を発生させることができる。また、バンドギャップ電圧発生部が所定のバンドギャップ電圧を発生させる動作状態にあるか否かを監視する動作監視部を有し、もしも、このバンドギャップ発生部が正常でないときには、電圧比較部から異常である旨の検出信号を出力するようにしている。これにより、温度特性の無い完全な電圧検出が可能になり、電源電圧が低下したときでも異常な検出結果を出力するおそれがない。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す電圧検出回路の構成図である。

【図 2】

図 1 中の動作監視部 3 0 0 の一例を示す回路図である。

【図 3】

本発明の第 2 の実施形態を示す電圧比較部の構成図である。

【図 4】

本発明の第 3 の実施形態を示す電圧比較部の構成図である。

【図 5】

本発明の第4の実施形態を示す電圧検出回路の構成図である。

【図6】

本発明の第5の実施形態を示す電圧検出回路の構成図である。

【図7】

図6中の比較器610, 650の一例を示す回路図である。

【図8】

本発明の第6の実施形態を示す電圧検出回路の構成図である。

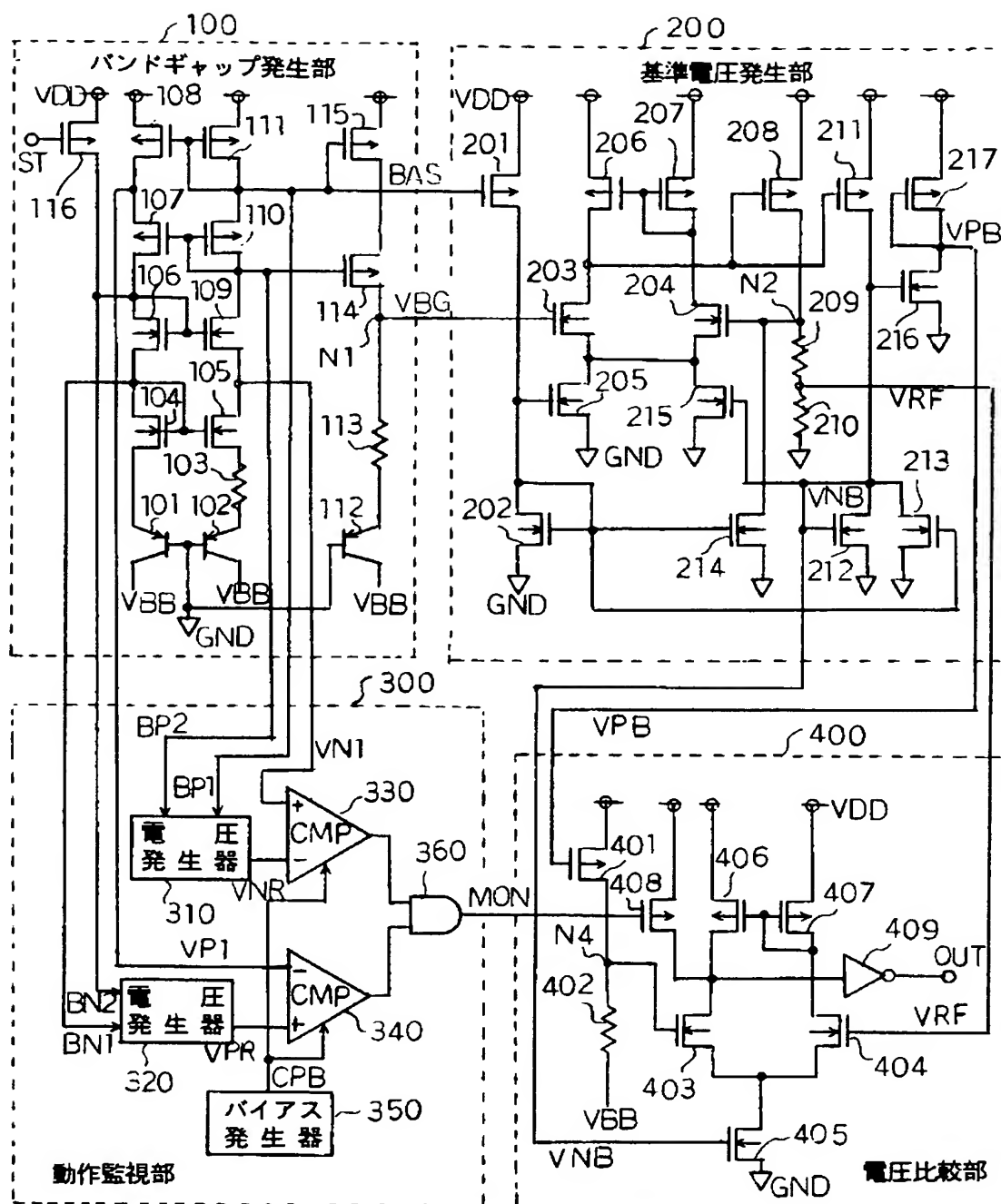
【符号の説明】

100, 100A, 100B バンドギャップ発生部
200 基準電圧発生部
300, 300A 動作監視部
310, 320, 500, 500A 電圧発生部
400, 400A, 400B, 600, 600A 電圧比較部
610, 650 比較器
630, 640 スイッチ
670 フリップフロップ

【書類名】

図面

【図 1】



本発明の第 1 の実施形態の電圧検出回路

【図 2】

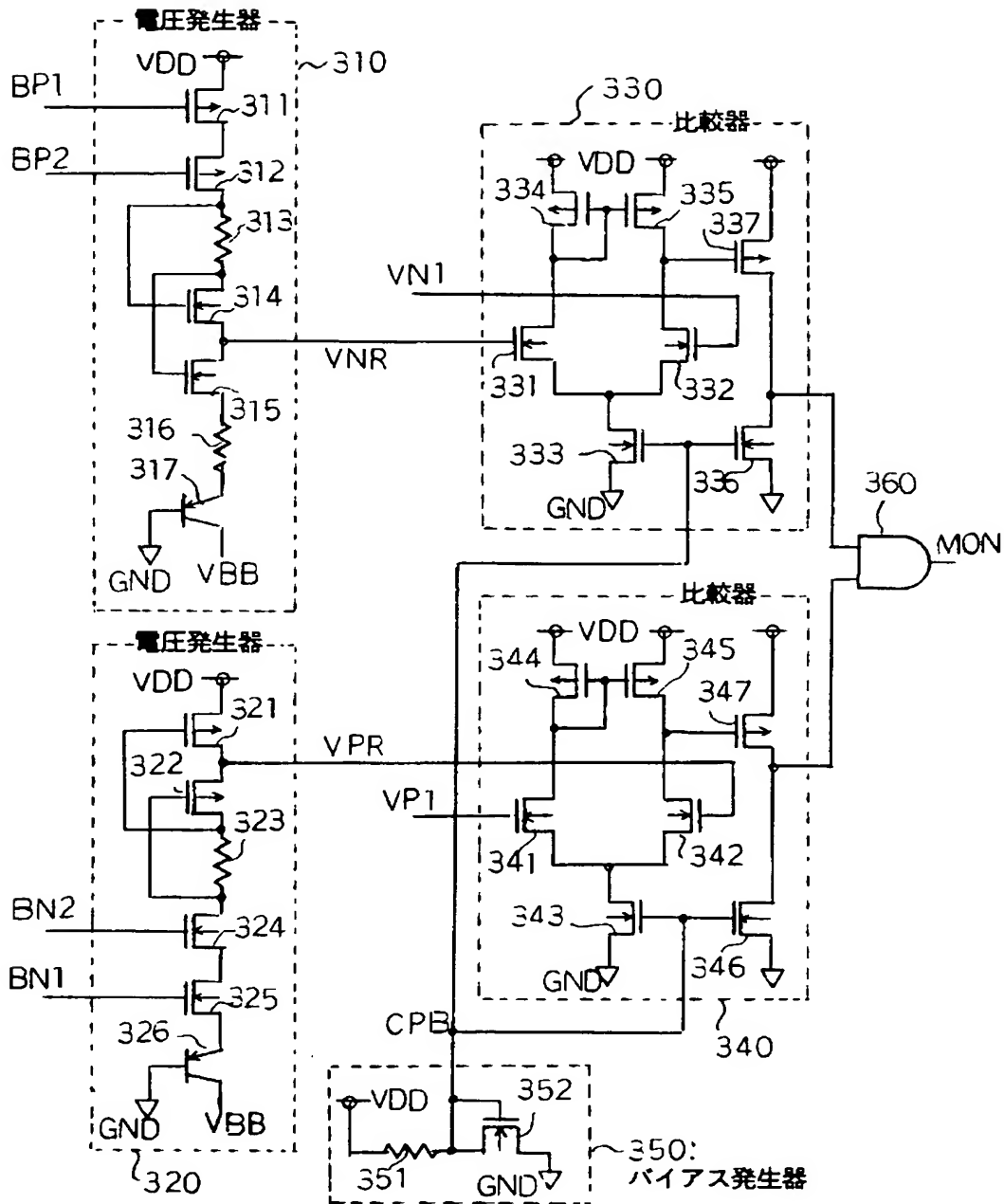
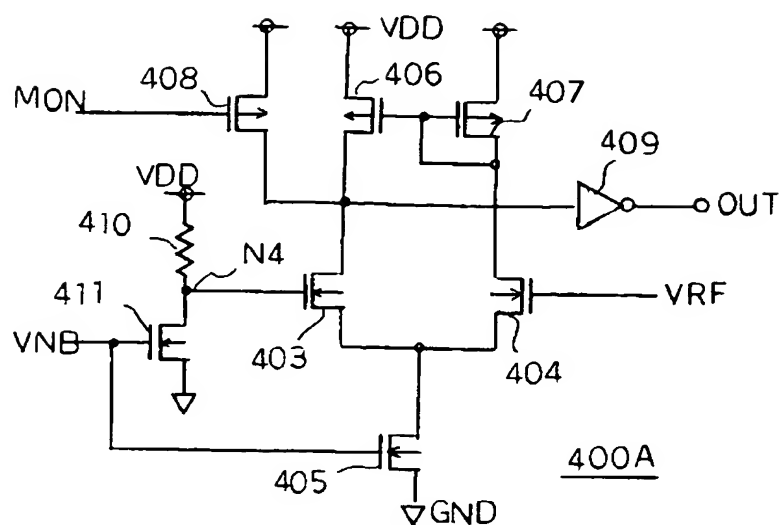


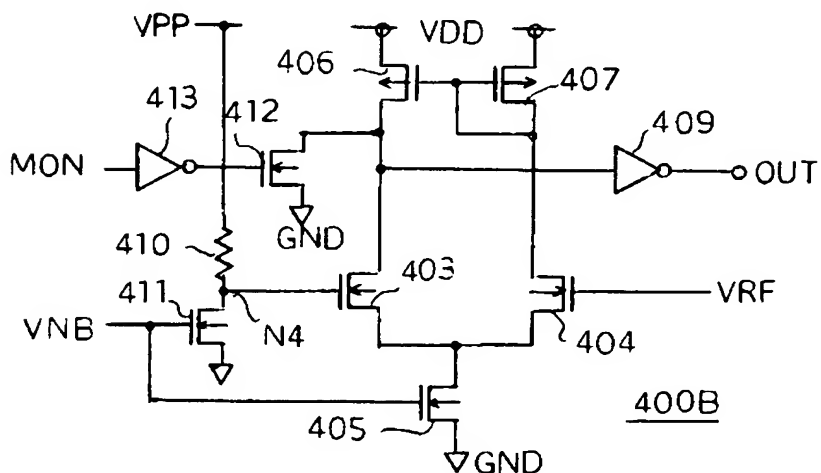
図 1 中の動作監視部

【図 3】



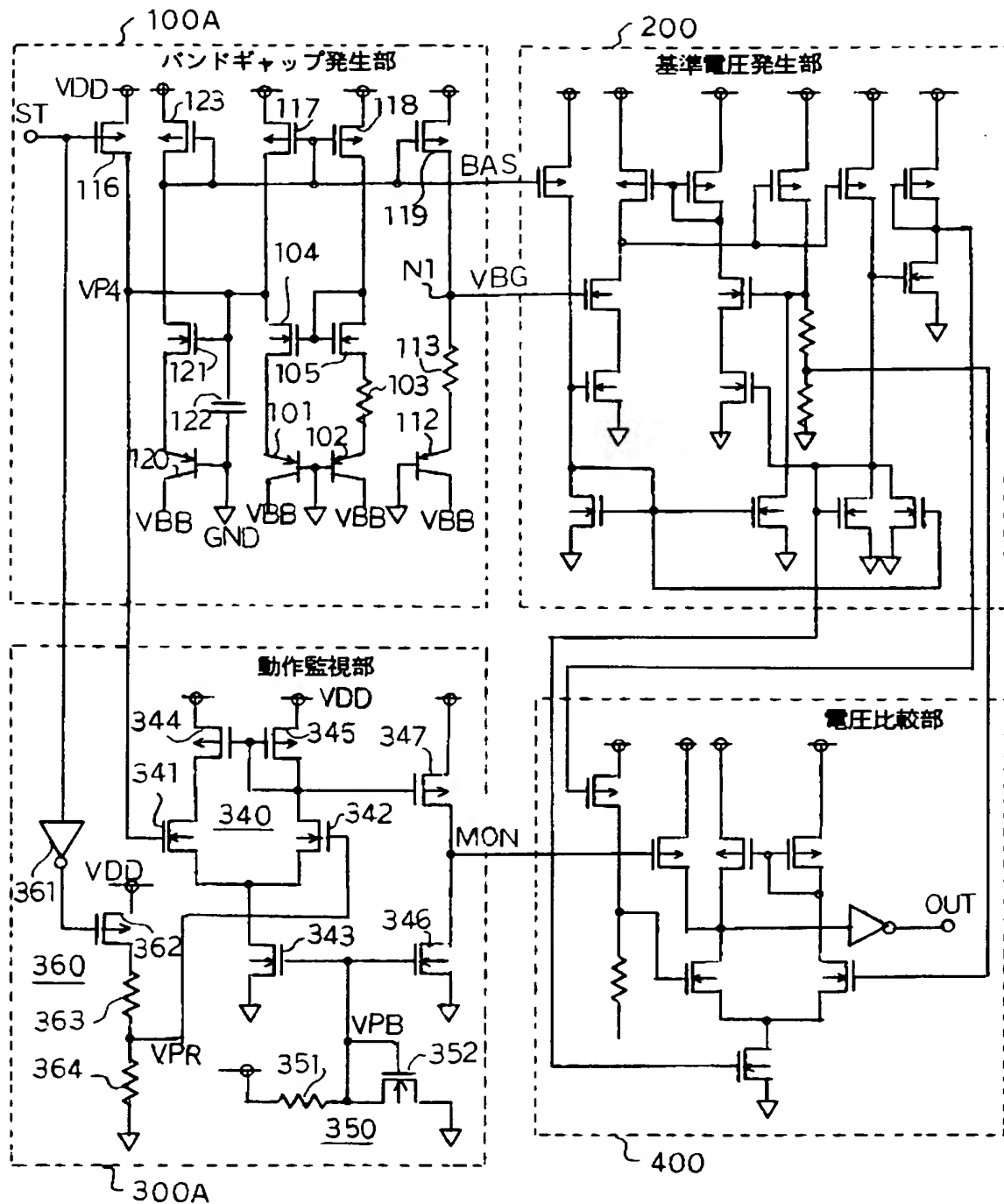
本発明の第 2 の実施形態の電圧比較部

【図 4】



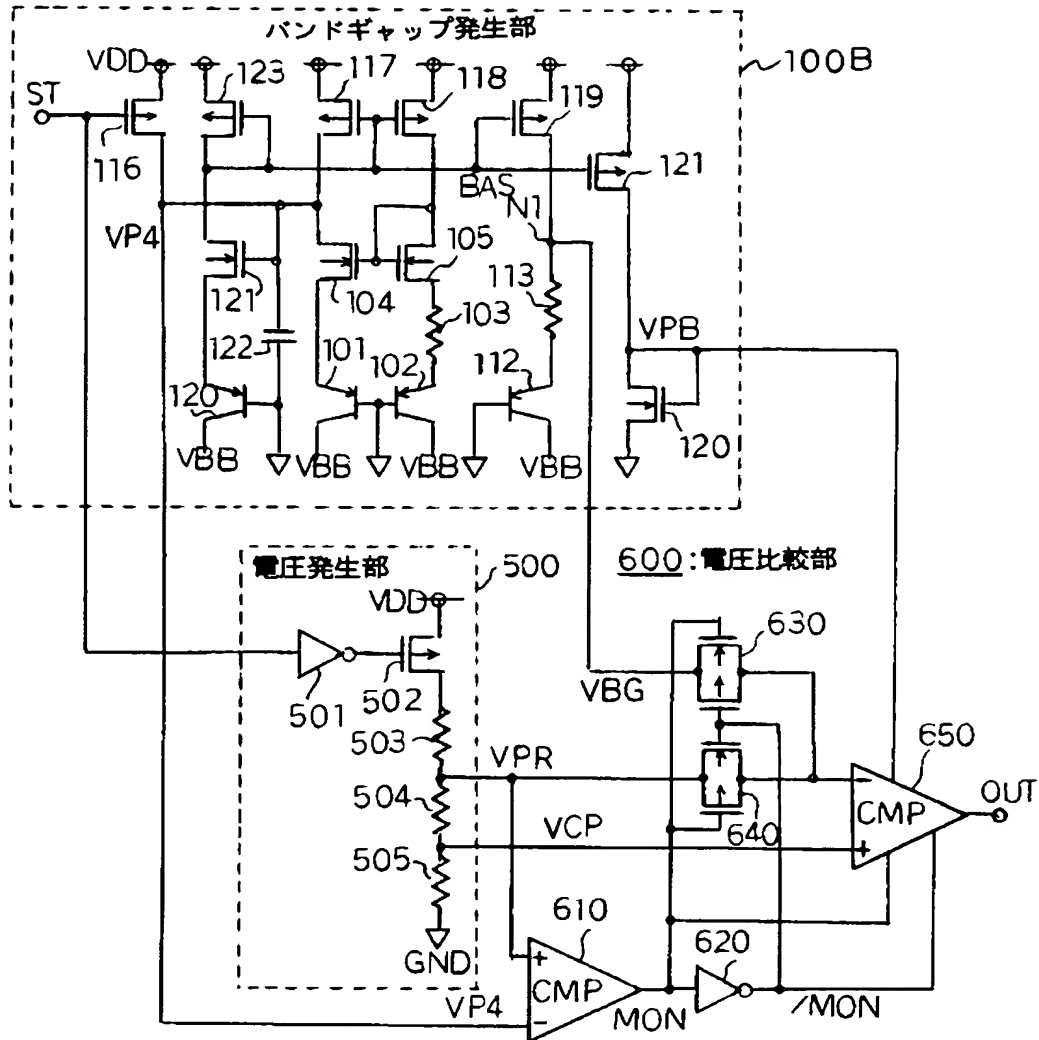
本発明の第 3 の実施形態の電圧比較部

【図 5】



本発明の第 4 の実施形態の電圧検出回路

【図 6】



本発明の第 5 の実施形態の電圧検出回路

【図 7】

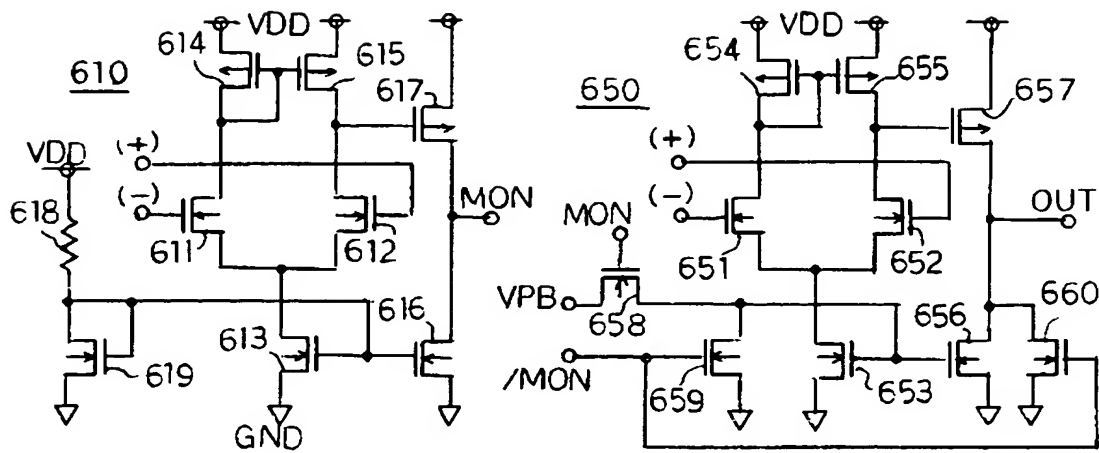
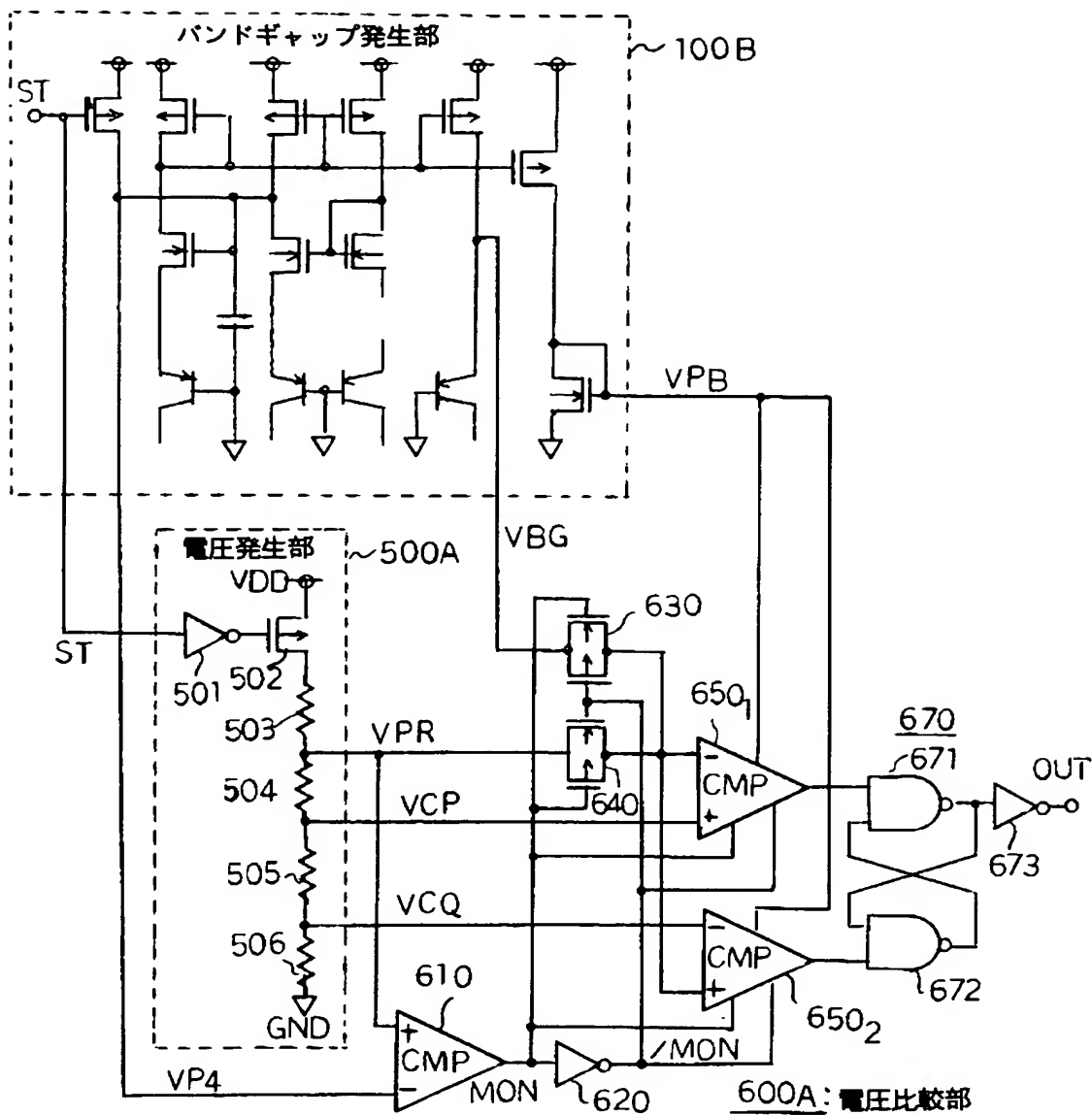


図 6 中の比較器

【図 8】



本発明の第 6 の実施形態の電圧検出回路



【書類名】 要約書

【要約】

【課題】 温度特性の無い電圧検出が可能で、電源電圧が低下したときでも異常な検出結果を出力するおそれのない電圧検出回路を提供する。

【解決手段】 バンドギャップ発生部100で発生されたバンドギャップ電圧V_{BG}は、基準電圧発生部200においてオフセット補償回路を備えた差動増幅器で増幅され、温度特性がほとんど無い所定の基準電圧V_{RF}が生成される。基準電圧V_{RF}は電圧比較部400に与えられ、例えば基板電圧V_{BB}や昇圧電圧V_{PP}等の検出対象の電圧と比較され、その比較結果が検出信号OUTとして出力される。一方、動作監視部300では、バンドギャップ発生部100の動作状態が監視され、もしもその動作が正常でないと判断されると、監視信号MONによって、電圧比較部400から出力される検出信号OUTが強制的に異常である旨の信号に変更される。

【選択図】 図1

特願 2002-358190

出願人履歴情報

識別番号

[000000295]

1. 変更年月日
[変更理由]

1990年 8月22日
新規登録

住 所
氏 名

東京都港区虎ノ門1丁目7番12号
沖電気工業株式会社